

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-273338

(43)公開日 平成7年(1995)10月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/20				

9056-45

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数12 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平6-63230

(22)出願日 平成6年(1994)3月31日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 船井 尚

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 山元 良高

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 山本 秀策

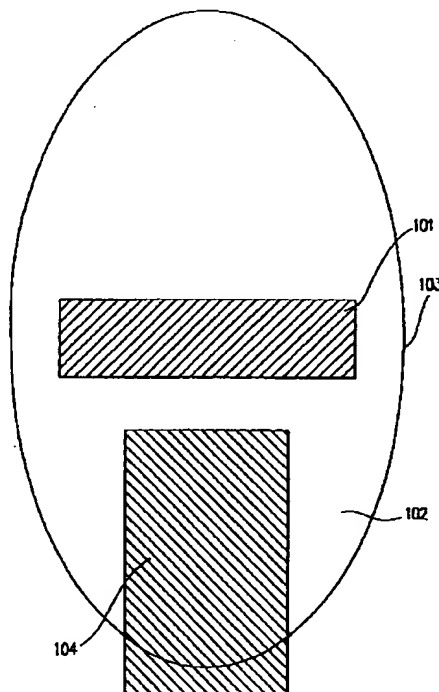
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 コンタクト不良やTFT特性の劣化を防止できるようにする。

【構成】 半導体膜の結晶化を助長する元素の選択導入領域101とTFTの形成領域104とが重ならない配置とする。あるいは、選択導入領域101とTFTの形成領域104とが重ならず、かつ、TFTの形成領域104が成長端部103の内側に配置された構成とする。



1

【特許請求の範囲】

【請求項1】 絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、少なくとも一部が多結晶領域となった半導体膜が形成され、該多結晶領域が、該多結晶領域よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入された選択導入領域を成長させることにより得られ、該多結晶領域を用いて薄膜トランジスタが形成されている半導体装置であって、該選択導入領域と該薄膜トランジスタの形成領域とが重ならない配置構成となっている半導体装置。

【請求項2】 絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、少なくとも一部が多結晶領域となった半導体膜が形成され、該多結晶領域が、該多結晶領域よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入された選択導入領域を成長させることにより得られ、該多結晶領域を用いて薄膜トランジスタが形成されている半導体装置であって、該薄膜トランジスタの形成領域が、該選択導入領域と重ならず、かつ、該多結晶領域の結晶成長端部よりも内側に配置される構成となっている半導体装置。

【請求項3】 絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、

該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、

該マスク側から、該元素を選択的に該非晶質半導体膜中に導入して選択導入領域を形成する工程と、

該基板全体に加熱処理を行い、該非晶質半導体膜の少なくとも一部を多結晶領域とする工程と、

該マスクを用いて該半導体膜をエッチングし、該選択導入領域の全部又は一部を除去すると共にアライメントマークを該半導体膜に形成する工程と、

該アライメントマークに基づいて、該多結晶領域を島状に成型する工程とを含む半導体装置の製造方法。

【請求項4】 前記アライメントマークに基づいて、ゲート電極形成以降に用いる第2のアライメントマークを形成する請求項3に記載の半導体装置の製造方法。

【請求項5】 前記マスクを用いて、ゲート電極形成以降に用いる第2のアライメントマークを形成する請求項3に記載の半導体装置の製造方法。

【請求項6】 絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、

該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、

該マスク側から該元素を選択的に該非晶質半導体膜中に

2

導入して選択導入領域を形成する工程と、

該基板全体に加熱処理を行い、該非晶質半導体膜の少なくとも一部を多結晶領域とする工程と、

該マスクの該開口部を用いて、該選択導入領域を除去すると共に該多結晶領域を島状に成型し、かつ、ゲート電極形成以降に用いる第2のアライメントマークを該半導体膜に形成する工程とを含む半導体装置の製造方法。

【請求項7】 絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、

該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、

該マスク側から該元素を選択的に該非晶質半導体膜中に導入し選択導入領域を形成する工程と、

該基板全体に加熱処理を行い、該非晶質半導体膜の少なくとも一部を多結晶領域とする工程と、

該マスクを用いて、アライメントマークを該半導体膜に形成する工程と、

少なくとも該アライメントマーク付近の領域を光エネルギーを用いて照射し、該アライメントマークを顕在化する工程と、

該顕在化したアライメントマークに基づいて該多結晶領域を島状に成型する工程とを含む半導体装置の製造方法。

【請求項8】 前記顕在化したアライメントマークに基づいてゲート電極形成以降に用いる第2のアライメントマークを形成する請求項7に記載の半導体装置の製造方法。

【請求項9】 前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略平行となるように、薄膜トランジスタを配置する請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略垂直となるように、薄膜トランジスタを配置する請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記元素として、Ni、Co、Pd、Pt、Fe、Cu、Ag、Au、In、Sn、P、As、Sbのうちの少なくとも一種を用いる請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記元素の導入濃度を 1×10^{18} atoms/cm³~ 1×10^{20} atoms/cm³の間とする請求項1乃至8のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばアクティブマトリクス型の画像表示装置やイメージセンサー等に利用で

50

き、硝子等の絶縁性基板上に設けられた薄膜トランジスタ(TFT)を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】上記半導体膜装置としては、TFTを画素の駆動に用いるアクティブマトリクス型液晶表示装置やイメージセンサー等が知られている。これらの装置に用いられるTFTには、薄膜状のシリコン半導体を用いるのが一般的である。薄膜状のシリコン半導体としては、非晶質シリコン(a-Si)半導体からなるものと、結晶性を有するシリコン半導体からなるものとの2つに大別される。

【0003】非晶質シリコン半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の物性が結晶性を有するシリコン半導体に比べて劣る。このため、今後、より高速特性を得るためには、結晶性を有するシリコン半導体からなるTFTの作製方法に確立が強く求められていた。尚、結晶性を有するシリコン半導体としては、多結晶性シリコン、微結晶シリコン、結晶成分を含む非晶質シリコン、結晶性と非晶質性の中間の状態を有するセミアモルファスシリコン等が知られている。これら結晶性を有する薄膜状のシリコン半導体を得る方法としては、以下の方法が知られている。

【0004】(1)成膜時に結晶性を有する膜を直接成膜する方法

(2)非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる方法

(3)非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法

しかしながら、(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性シリコンを得るにはシリコン膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。また成膜温度が600℃以上と高いので、安価な硝子基板が使用できないというコストの問題があった。

【0005】また、(2)の方法では、熔融して固化する過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性シリコン膜が得られるが、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さくスループットが低いという問題がまず有り、また大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではなく、次世代の技術という感が強い。

【0006】(3)の方法は、(1)及び(2)の方法と比較すると大面積に対応できるという利点があるが、結晶化に際し600℃以上の高温にて数十時間にわたる加熱処理が必要である。すなわち、安価な硝子基板の使用とスループットの向上とを考えると、加熱温度を下

げ、さらに短時間で結晶化させるという相反する問題点を同時に解決する必要がある。また、(3)の方法では、固相結晶化現象を利用するため、結晶粒は基板面に平行に拡がり数 μm の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合って粒界が形成されるため、その粒界はキャリアに対するトラップ準位として働き、TFTの移動度を低下させる大きな原因となっている。

【0007】そこで、上記のような様々な問題点を全て解決するため、上記の(3)の方法に関して、結晶化に必要な温度の低温化と処理時間の短縮を両立し、さらには粒界の影響を最小限に留めた結晶性シリコン薄膜の作製方法が提案されている(特願平5-218156)。この提案方法による場合には、結晶成長の核としてNi等の不純物金属元素を非晶質シリコン膜に導入することにより、結晶化初期の核生成速度とその後の核成長速度とが飛躍的に向上され、従来考えられなかったような580℃以下の温度において4時間程度の熱処理で十分な結晶性が得られる。このメカニズムは現状では明らかではないが、不純物金属元素を核とした結晶核発生が早期に起こり、その後その不純物金属元素が触媒となって結晶成長が急激に進行するものと推測している。

【0008】また、この提案方法による場合には、基板の一部に選択的に不純物金属元素を導入することにより、レーザ結晶化のように同一基板内に選択的に結晶性シリコン膜と非晶質シリコン膜とを形成することが可能となる。さらに、その後、熱処理を継続させると、選択的に不純物金属元素が導入されて結晶化している部分から、その周辺部の非晶質部分へと横方向(基板表面に平行な方向)に結晶成長部分が延びる現象が起きる。この横方向への結晶成長部分を以後ラテラル成長部と呼ぶ。このラテラル成長部では基板と平行に針状あるいは柱状の結晶が成長方向に沿って延びており、その成長方向において結晶粒界が存在しない。故に、このラテラル成長部を利用してTFTのチャネル部を形成することにより、高性能なTFTが実現可能となる。

【0009】その際、図6に示したようなラテラル成長部602に対して、ソース領域604、チャネル領域605およびドレイン領域606を配置することにより、キャリアが移動する方向と結晶成長方向とが同一方向となり、キャリアの移動方向に結晶粒界が存在しない高移動度TFTが実現できる。また、図7に示したようにラテラル成長部702に対して、ソース領域704、チャネル領域705およびドレイン領域706を配置することにより、ドレイン端部の電界集中領域での粒界部分を無くし、TFT動作時の特性劣化の原因となるドレイン端部での粒界トラップ密度を低減することでオン・オフ比の大きいTFTが作製可能となる。以上述べたように特願平5-218156で提案されている技術を用いると、高性能TFTが得られる上に様々なニーズに応じた

5

TFTを同一基板上で作り分けることも可能である。

【0010】

【発明が解決しようとする課題】上記の特願5-218156の技術は、以上述べたように非常に有効なものであるのは間違いない。ところで、該半導体膜の該結晶化を助長する元素の導入部が、TFTの形成領域内に含まれるような形でTFTを形成した場合、該導入部がチャンネル形成領域に重なると、該結晶化を助長する元素の濃度によっては、リーク電流の原因となりTFT特性の劣化が招来される。

【0011】また、該導入部がソース・ドレイン領域に重なると、ドナー或いはアクセプター元素のレーザー活性化時にレーザー耐性が悪く、レーザー照射による半導体膜表面荒れを引き起こしたり、コンタクトのためのスルーホールを該半導体膜上の絶縁膜に開口する際の耐エッチャント性が悪く、該結晶化を助長する元素を導入していない領域に比べて速くエッチングされてしまい、ひいてはコンタクト不良の原因にもなる。

【0012】更に、ラテラル成長部を有効に利用して特性の良いTFTを得るには、結晶化を助長する元素の導入領域に対して、半導体島の形成以降のマスクアライメントを、該結晶化を助長する元素の導入パターンに対して厳密に行う必要がある。これまでこのマスクアライメントは、該結晶化を助長する元素の導入部と非導入部との微妙な濃淡を頼りに行なわれているため、正確なアライメントが困難で、量産時に必要不可欠なオートアライメントも不可能であった。

【0013】本発明は、このような従来技術の課題を解決すべくなされたものであり、コンタクト不良やTFT特性の劣化を防止できる半導体装置およびその製造方法を提供することを目的とする。他の目的は、製造途中で形成するアライメントマークを用いることにより、オートアライメント化に対応可能な半導体装置の製造方法を提供することがある。

【0014】

【課題を解決するための手段】本発明の半導体装置は、絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、少なくとも一部が多結晶領域となった半導体膜が形成され、該多結晶領域が、該多結晶領域よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入された選択導入領域を成長させることにより得られ、該多結晶領域を用いて薄膜トランジスタが形成されている半導体装置であって、該選択導入領域と該薄膜トランジスタの形成領域とが重ならない配置構成となっているので、そのことにより上記目的が達成される。

【0015】本発明の半導体装置は、絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、少なくとも一部が多結晶領域となった半導体膜が形成され、該多結晶領域が、該多結晶領域よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入され

6

た選択導入領域を成長させることにより得られ、該多結晶領域を用いて薄膜トランジスタが形成されている半導体装置であって、該薄膜トランジスタの形成領域が、該選択導入領域と重ならず、かつ、該多結晶領域の結晶成長端部よりも内側に配置される構成となっているので、そのことにより上記目的が達成される。

【0016】本発明の半導体装置の製造方法は、絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、該マスク側から、該元素を選択的に該非晶質半導体膜中に導入して選択導入領域を形成する工程と、該基板全体に加熱処理を行い、該非晶質半導体膜の少なくとも一部を多結晶領域とする工程と、該マスクを用いて該半導体膜をエッチングし、該選択導入領域の全部又は一部を除去すると共にアライメントマークを該半導体膜に形成する工程と、該アライメントマークに基づいて、該多結晶領域を島状に成型する工程とを含むので、そのことにより上記目的が達成される。

【0017】この製造方法において、前記アライメントマークに基づいて、ゲート電極形成以降に用いる第2のアライメントマークを形成するようにしてもよい。また、前記マスクを用いて、ゲート電極形成以降に用いる第2のアライメントマークを形成してもよい。

【0018】本発明の半導体装置の製造方法は、絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、該マスク側から該元素を選択的に該非晶質半導体膜中に導入して選択導入領域を形成する工程と、該基板全体に加熱処理を行い、該非晶質半導体膜の少なくとも一部を多結晶領域とする工程と、該マスクの該開口部を用いて、該選択導入領域を除去すると共に該多結晶領域を島状に成型し、かつ、ゲート電極形成以降に用いる第2のアライメントマークを該半導体膜に形成する工程とを含むので、そのことにより上記目的が達成される。

【0019】本発明の半導体装置の製造方法は、絶縁性基板の上に、又は、基板の表面上に形成した絶縁膜の上に、非晶質半導体膜を形成する工程と、該非晶質半導体膜の上に、該非晶質半導体膜の結晶化を助長する元素を選択的に該非晶質半導体膜中に導入し、かつ、アライメントマークを形成するための開口部を有するマスクを形成する工程と、該マスク側から該元素を選択的に該非晶質半導体膜中に導入し選択導入領域を形成する工程と、該基板全体に加熱処理を行い、該非晶質半導体膜の少な

くとも一部を多結晶領域とする工程と、該マスクを用いて、アライメントマークを該半導体膜に形成する工程と、少なくとも該アライメントマーク付近の領域を光エネルギーを用いて照射し、該アライメントマークを顕在化する工程と、該顕在化したアライメントマークに基づいて該多結晶領域を島状に成型する工程とを含むので、そのことにより上記目的が達成される。

【0020】この製造方法において、前記顕在化したアライメントマークに基づいてゲート電極形成以降に用いる第2のアライメントマークを形成してもよい。

【0021】本発明の半導体装置の製造方法においては、前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略平行となるように、薄膜トランジスタを配置するのがよい。

【0022】また、本発明の半導体装置の製造方法においては、前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略垂直となるように、薄膜トランジスタを配置するのがよい。

【0023】また、本発明の半導体装置の製造方法においては、前記元素として、Ni、Co、Pd、Pt、Fe、Cu、Ag、Au、In、Sn、P、As、Sbのうちの少なくとも一種類を用いるのがよい。

【0024】また、本発明の半導体装置の製造方法においては、前記元素の導入濃度を $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の間とするのがよい。

【0025】

【作用】本発明にあつては、半導体膜の結晶化を助長する元素の選択導入領域とTFTの形成領域とが重ならない配置とする。これにより、結晶化を助長する元素の選択導入領域で発生するTFT特性の劣化を回避することが可能となる。また、選択導入領域とTFTの形成領域とが重ならず、かつ、多結晶領域の結晶成長端部内側に配置とする。これにより、TFTのドレイン領域端部での粒界トラップ密度を低減でき、コンタクト不良を防止できる。

【0026】本発明方法にあつては、結晶化を助長する元素を選択的に半導体膜に導入し、かつ、アライメントマークを形成するための開口部を有するマスクに基づいて、半導体層にマスクアライメントの基準となるアライメントマークを形成するため、ラテラル成長部分とTFT形成部分とのアライメントを正確に行うことが可能となる。

【0027】また、本発明方法にあつては、ラテラル成長部分とTFT形成部分とのアライメントを正確に行うためのアライメントマークは、マスクの開口部に基づいて形成できる。また、上記アライメントマークを形成するためのアライメントマークが半導体膜上で他の部分と面一であつて境界が不明瞭の場合には、光エネルギー照射により顕在化させることができる。

【0028】また、本発明方法にあつては、半導体膜の形状加工を行うことによって、量産化時に必要不可欠なフォトリソグラフィ工程でのオートアライメントが可能となる。

【0029】本発明方法にあつては、前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略平行となるように薄膜トランジスタを配置した場合には、高移動度TFTが実現できる。また、前記半導体膜の結晶粒の成長方向と薄膜トランジスタの導電方向とが概略垂直となるように薄膜トランジスタを配置した場合には、ドレイン領域端部での粒界トラップ密度を低減できる。

【0030】また、本発明方法にあつては、前記元素として、Ni、Co、Pd、Pt、Fe、Cu、Ag、Au、In、Sn、P、As、Sbのうちの少なくとも一種類を用いる場合には、前記半導体膜の多結晶化を行う加熱処理において処理温度を低温化し、硝子基板の使用が可能となる点で好ましい。

【0031】また、本発明方法にあつては、前記元素の導入濃度を $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の間とする場合には、ラテラル成長部分を利用してTFTを作製するのに十分な結晶成長距離を確保し、且つ、前記元素の半導体膜中への過剰な導入に伴うTFT特性劣化の要因が排除できるという点で好ましい。

【0032】

【実施例】以下に、本発明の実施例を具体的に説明する。

【0033】（実施例1）図1は、本発明にかかる半導体装置の構成を示す平面図である。この半導体装置においては、図示しない基板の表面上に形成した絶縁膜（図示せず）の上に、少なくとも一部が多結晶領域102となった半導体膜が形成されている。該多結晶領域102は、該多結晶領域102よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入された選択導入領域101を成長（ラテラル成長）させることにより得られている。なお、多結晶領域102の端は、ラテラル成長の成長端部103となっている。

【0034】また、該多結晶領域102を用いてTFTが形成されるTFT作製領域104は、該選択導入領域101と重ならない配置構成となっている。

【0035】このような構成とした場合には、TFT作製領域104を成長端部103が一部横切るが、TFTのソース領域やドレイン領域の位置を配慮することにより、高移動度TFTを作製することが可能となる。

【0036】なお、本実施例では半導体膜を基板の表面上に形成した絶縁膜の上に形成したが、半導体膜の形成はこれに限らず、絶縁性基板の上に直接に又は、絶縁性基板の上に更に絶縁膜を形成して設けるようにしてもよい。

【0037】(実施例2)図2は、本発明にかかる半導体装置の構成を示す平面図である。この半導体装置においては、図示しない基板の表面上に形成した絶縁膜(図示せず)の上に、少なくとも一部が多結晶領域202となった半導体膜が形成されている。該多結晶領域202は、該多結晶領域202よりも狭く、かつ、非晶質半導体膜の結晶化を助長する元素が選択的に導入された選択導入領域201を成長(ラテラル成長)させることにより得られている。なお、多結晶領域202の端は、ラテラル成長の成長端部203となっている。

【0038】また、該多結晶領域202を用いてTFTが形成されるTFT作製領域204は、該選択導入領域201と該TFT作製領域204とが重ならず、かつ、ラテラル成長の成長端部203よりも内側に配置した構成となっている。

【0039】このような構成とした場合には、TFT作製領域204を成長端部203が横切ることがなく、よってTFTの作製位置を配慮することなしに、高移動度TFTや、オン・オフ比の大きいTFTを、ニーズに応じて作製することが可能となる。

【0040】なお、本実施例では半導体膜を基板の表面上に形成した絶縁膜の上に形成したが、半導体膜の形成はこれに限らず、絶縁性基板の上に直接に又は、絶縁性基板の上に更に絶縁膜を形成して設けるようにしてもよい。このことは、以下の各実施例においても同様である。

【0041】(実施例3)図3は、本発明に係る半導体装置の製造方法を示す工程図である。以下、図にしたがって工程の説明を行う。まず、図3(a)に示すように、絶縁基板、例えばガラス基板の表面を洗浄後、その基板上にベースコート膜301として二酸化シリコンをスパッタリング装置を用いて厚さ100nm程度堆積させる。このベースコート膜301の必要膜厚は、基板の表面状態によって異なり、十分に平坦で、且つナトリウムイオン等の半導体特性に悪影響を与えるイオンの濃度が十分に低い基板であれば、省略することも可能であり、逆に表面の状態が、傷や凹凸の激しいものであれば上記の膜厚よりも厚く堆積させる必要がある。

【0042】次に、図3(b)に示すように、ベースコート膜301の上に、例えば化学的気相成長法(CVD法)やスパッタリング法を用いて、非晶質シリコン膜302を100nm程度の厚さに堆積させる。

【0043】次に、図3(c)に示すように、非晶質シリコン膜302上に、このシリコン膜の結晶化を助長する元素を選択的に導入し、かつ、アライメントマークを形成するための開口部を有するマスク303を二酸化シリコン等を用いて形成する。このとき、マスク303の開口部は、該結晶化を助長する元素を選択的に導入する選択導入領域304と後述するアライメントマークを形成するための部分305との上を覆わないようにする。

【0044】次に、図3(d)に示すように、この状態で、例えば蒸着、スパッタ、プラズマ処理、溶液塗布などの方法を用いて非晶質シリコン膜302中に該結晶化を助長する元素を導入する。これにより、上記選択導入領域304と部分305とに相当する非晶質シリコン膜302部分に、該結晶化を助長する元素の被導入領域306、307が形成される。

【0045】次に、この状態で基板全体を加熱処理すると、被導入領域306、307においてまず多結晶化が起こる。さらに加熱処理を続けると、図3(e)において308に矢印で示したように、被導入領域306、307から外側に向かって基板表面に対し概略平行な方向に多結晶化が進んで行く。十分に加熱処理を行うと、図3(f)に示すように、基板表面に対し概略平行な方向に多結晶化が進行した多結晶化領域310と、結晶成長端にあって多結晶化領域310と比較して該結晶化を助長する元素の濃度の高い領域309が形成される。実際の該結晶化を助長する元素の濃度は、領域309が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度、領域310が $1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。

【0046】次に、加熱処理終了後、図3(g)に示すようにドライエッチングにより結晶化したシリコン膜302のエッチングを行う。このエッチングによって、シリコン膜302の選択導入領域304及びアライメントマークを形成するための部分305に相当する部分が除去され、該シリコン膜302にアライメントマークAが形成される。なお、これ以降のマスキアライメントを、該アライメントマークAを用いて行うことにより、選択導入用マスク303をファーストマスクとすることができ、尚、本実施例においては、選択導入用マスク303を用いてのエッチングを該シリコン膜302を完全に抜き切るまでに行っているが、以後のマスキアライメントが容易に行えるレベルまでエッチングすれば、特にそれ以上のエッチング処理を行う必要はない。

【0047】次に、図3(h)に示すように、該選択導入用マスク303を取り除き、シリコン膜302の上に、先に形成したアライメントマークAを用いて、該シリコン膜302の島状化及び、ゲート電極形成以降のマスキアライメントに用いるアライメントマークの形成のためのレジストパターン311を形成する。

【0048】次に、図3(i)に示すように、エッチングを行って島状のシリコン膜302とゲート電極形成以降のマスキアライメントに用いるアライメントマーク312を形成する。このとき、島状のシリコン膜302は、図3(h)及び図3(i)に示したように、既にエッチングされている領域、結晶成長端部の元素濃度の高い領域309及び、結晶化の進行していない領域を避けて形成する。尚、本実施例においては、アライメントマーク312をアライメントマークAを用いて形成しているが、選択導入用マスク303のパターンを用いて形成

11

しても何ら問題は生じない。

【0049】次に、図3(j)に示すように、基板の上表面全体をゲート絶縁膜として使用する膜313で覆った後、図3(k)に示すように、TFTのゲート電極314を形成する。

【0050】次に、この状態で、基板上方よりリンに代表されるV族の元素又は、ボロンに代表されるIIIの元素のうちの1つの元素315を、図3(l)に示すように、ゲート電極314をマスクとして自己整合的に、島状化したシリコン膜302のゲート電極314と重ならない領域に導入する。図中の領域316は、元素315の導入によってn型又はp型の性質をもったシリコン領域を示し、この領域がTFTのソース・ドレイン領域となる。

【0051】次に、図3(m)に示すように、基板の上表面全体を層間絶縁膜317で覆い、図3(n)に示すように、TFTのソース・ドレイン領域の上方の層間絶縁膜317に貫通孔318を設ける。

【0052】最後に、図3(o)に示すように、該貫通孔318に一部充填して層間絶縁膜317の上にソース・ドレイン電極319を形成してTFTが完成する。

【0053】したがって、本実施例においては、選択導入領域304の全部がエッチングにより除去されるので、半導体膜302を用いて形成されるTFTと選択導入領域304とが重なることはない。なお、TFTと選択導入領域304とが重ならないようにできれば、エッチングにより除去される部分は一部でもよい。例えば、選択導入領域304のTFT形成側をエッチングすれば、選択導入領域304のアライメントマーク312間部分は残っていても支障ない。

【0054】また、アライメントマークAを使用することにより、TFT形成領域から領域309を除去できる。

【0055】更に、アライメントマークAに基づいてアライメントマーク312を形成し、このアライメントマーク312に基づいてTFTが形成されるので、TFT形成領域と選択導入領域304とが重なることはない。

【0056】(実施例4) 図4は、本発明に係る半導体装置の製造方法の他の実施例を示す工程図である。以下、図にしたがって工程の説明を行う。まず、図4

(a)に示すように、絶縁基板、例えばガラス基板の表面を洗浄後、その基板上にベースコート膜401として二酸化シリコンをスパッタリング装置を用いて厚さ100nm程度堆積させる。このベースコート膜401の必要膜厚は、基板の表面状態によって異なり、十分に平坦で、且つナトリウムイオン等の半導体特性に悪影響を与えるイオンの濃度が低い基板であれば、省略することも可能であり、逆に表面の状態が、傷や凹凸の激しいものであれば上記の膜厚よりも厚く堆積させる必要がある。

【0057】次に、図4(b)に示すように、ベースコ

12

ート膜401の上に、例えば化学的気相成長法(CVD法)やスパッタリング法を用いて非晶質シリコン膜402を100nm程度の厚さに堆積させる。

【0058】次に、図4(c)に示すように、非晶質シリコン膜402上にシリコン膜の結晶化を助長する元素を選択的に導入し、かつ、アライメントマークを形成するための開口部を有するマスク403を二酸化シリコン等を用いて形成する。このとき、マスク403の開口部は該結晶化を助長する元素を選択的に導入する選択導入領域404と、アライメントマークを形成するための部分405との上を覆わないようにする。

【0059】次に、図4(d)に示すように、この状態で蒸着、スパッタ、プラズマ処理、溶液塗布などの方法を用いて非晶質シリコン膜402中に該結晶化を助長する元素を導入する。これにより、上記選択導入領域404と部分405とに相当する非晶質シリコン膜402部分に、該結晶化を助長する元素の被導入領域406、407が形成される。

【0060】次に、この状態で基板全体を加熱処理すると、被導入領域406、407においてまず多結晶化が起り、さらに加熱処理を続けると、図4(e)において408に矢印で示すように、被導入領域406、407から外側に向かって基板表面に対し概略平行な方向に多結晶化が進行して行く。十分に加熱処理を行うと、図4(f)に示すように、基板表面に対し概略平行な方向に多結晶化が進行した多結晶化領域410と、結晶成長端にあって多結晶化領域410と比較して該結晶化を助長する元素の濃度の高い領域409が形成される。実際の該結晶化を助長する元素の濃度は、領域409が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度、領域410が $1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。

【0061】次に、加熱処理終了後、図4(g)に示すように、マスク403により形成されたアライメントマークを形成するための部分405を用いて、シリコン膜402の島状化およびゲート電極形成以降のマスクアライメントに用いるアライメントマークの形成のためのレジストパターン411を形成する。

【0062】次に、図4(h)に示すように、このレジストパターン411を用いて、マスク403及び、シリコン膜402をエッチングする。これにより得られる島状のシリコン膜402は、選択導入領域404、元素濃度の高い領域409及び結晶化の進行していない領域を避けるように形成する。このとき、アライメントマークAの他に、ゲート電極形成以後のフォトリソグラフィ工程のためのアライメントマーク412もシリコン膜に形成する。これ以降のマスクアライメントを、該シリコン膜402に形成されたアライメントマークA又は412を用いて行うことにより、マスク403をファーストマスクとすることができる。尚本実施例においては、ゲート電極形成以降のマスクアライメントに用いるため

50

13

のアライメントマーク412を該シリコン膜402の島状化の為にレジストパターン411を用いて形成しているが、マスク403のパターンを用いて形成しても何ら問題は生じない。

【0063】次に、図4(i)に示すように、レジストパターン411及びマスク403を取り除く。

【0064】次に、図4(j)に示すように、基板の上表面全体をゲート絶縁膜として使用する膜413で覆った後、図4(k)に示すように、TFTのゲート電極414を形成する。

【0065】次に、この状態で、基板上方よりリンに代表されるV族の元素又は、ボロンに代表されるIII族の元素のうちの一つの元素415を、図4(l)に示すように、ゲート電極414をマスクとして自己整合的に、島状化したシリコン膜402のゲート電極414と重ならない領域に導入する。図中、領域416は、元素415の導入によってn型又はp型の性質をもったシリコン領域を示し、この領域が、TFTのソース・ドレイン領域となる。

【0066】次に、図4(m)に示すように、基板の上表面全体を層間絶縁膜417で覆い、図4(n)に示すように、TFTのソース・ドレイン領域の上方の層間絶縁膜417に貫通孔418を設ける。

【0067】最後に、図4(o)に示すように、該貫通孔419に一部充填して層間絶縁膜417の上にソース・ドレイン電極419を形成してTFTが完成する。

【0068】したがって、本実施例においては、選択導入領域404の全部がエッチングにより除去されるので、半導体膜402を用いて形成されるTFTと選択導入領域404とが重なることはない。なお、TFTと選択導入領域404とが重ならないようにできれば、エッチングにより除去される部分は一部でもよい。例えば、選択導入領域404のTFT形成側をエッチングすれば、選択導入領域404のアライメントマーク412側部分は残っていても支障ない。

【0069】また、アライメントマークAを使用することにより、TFT形成領域から領域409を除去できる。

【0070】更に、アライメントマークAに基づいてアライメントマーク412を形成し、このアライメントマーク412またはアライメントマークAに基づいてTFTが形成されるので、TFT形成領域と選択導入領域404とが重なることはない。

(実施例5) 図5は、本発明に係る半導体装置の製造方法の他の実施例を示す工程図である。以下、図にしたがって工程の説明を行う。まず、図5(a)に示すように、絶縁基板、例えばガラス基板の表面を洗浄後、その基板上にベースコート膜501として二酸化シリコンをスパッタリング装置を用いて厚さ100nm程度堆積させる。このベースコート膜501の必要膜厚は、基板の

14

表面状態によって異なり、十分に平坦で、且つナトリウムイオン等の半導体特性に悪影響を与えるイオンの濃度が低い基板であれば、省略することも可能であり、逆に表面の状態が、傷や凹凸の激しいものであれば上記の膜厚よりも厚く堆積させる必要がある。

【0071】次に、図5(b)に示すように、ベースコート膜501の上に、例えば化学的気相成長法(CVD法)やスパッタリング法を用いて非晶質シリコン膜502を100nm程度の厚さに堆積させる。

10 【0072】次に、図5(c)に示すように、非晶質シリコン膜502上にシリコン膜の結晶化を助長する元素を選択的に導入し、かつアライメントマークを形成するための開口部を有するマスク503を二酸化シリコン等を用いて形成する。このとき、マスク503の開口部は該結晶化を助長する元素を選択的に導入する選択導入領域504と、アライメントマークを形成するための部分505との上を覆わないようにする。

【0073】次に、図5(d)に示すように、この状態で蒸着、スパッタ、プラズマ処理、溶液塗布などの方法を用いて非晶質シリコン膜502中に該結晶化を助長する元素を導入する。これにより、上記選択導入領域504と部分505とに相当する非晶質シリコン膜502部分に、該結晶化を助長する元素の被導入領域506、507が形成される。なお、被導入領域507の平面視は、図5(i)に示す状態である。

【0074】次に、この状態で基板全体を加熱処理すると、被導入領域506、507においてまず多結晶化が起り、さらに加熱処理を続けると、図5(e)において508に矢印で示すように、被導入領域506、507から外側に向かって基板表面に対し概略平行な方向に多結晶化が進行して行く。十分に加熱処理を行うと、図5(f)に示すように、基板表面に対し概略平行な方向に多結晶化が進行した多結晶化領域510と、結晶成長端にあって多結晶化領域510と比較して該結晶化を助長する元素の濃度の高い領域509とが形成される。実際の該結晶化を助長する元素の濃度は、領域509が $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度、領域510が $1 \times 10^{18} \text{ atoms/cm}^3$ 程度である。

【0075】次に、加熱処理終了後、図5(g)に示すように、マスク503を除去する。この状態では、図5(j)に示すように、被導入領域506、507と、それ以外の非導入部分510、511、512との境513は微妙な濃度で分りにくい。

【0076】次に、境513を明瞭にすべく、図5(h)に示すように、アライメントマーク付近の領域514を、波長308nmのXeClレーザ光515を照射する。これにより、図5(k)に示すように元素濃度の高い領域509である被導入領域507に表面荒れ516が起り、つまりアライメントマークの顕在化が行われ、境513が明瞭になる。レーザ照射条件は、結晶

化を助長する元素の濃度、多結晶シリコン膜厚などにより最適値は異なるが、エネルギー密度が200~400 mJ/cm²程度であり、多結晶シリコン膜厚が100 nmのときは250~300 mJ/cm²が望ましい。これ以降のマスクアライメントを、該シリコン膜502に形成されたアライメントマーク516を用いて行うことにより、マスク503をファーストマスクとすることができる。また、波長248 nmのKrFレーザ光を用いてもよい。

【0077】次に、図5(1)に示すように、このアライメントマーク516を用いて、シリコン膜502の島状化及び、ゲート電極形成以降に用いるためのアライメントマークの形成のためにレジストパターン517を該シリコン膜502の上に形成する。このとき、島状のシリコン膜502とする箇所は、図5(m)および(n)に示すように、元素濃度の高い領域509及び、結晶化の進行していない領域を避けた位置とする。

【0078】次に、図5(m)に示すように、上記レジストパターン517を用いてエッチングし、島状のシリコン膜502、アライメントマーク516の一部およびゲート電極形成以降に用いるためのアライメントマーク518を残す。

【0079】次に、図5(n)に示すように、レジストパターン517を除去する。

【0080】尚、本実施例においては、ゲート電極形成以降に用いるためのアライメントマーク518を該シリコン膜502の島状化のためのレジストパターン517を用いて形成しているが、マスク503のパターンを用いて形成しても何ら問題は生じない。

【0081】次に、図5(o)に示すように、基板の上表面全体をゲート絶縁膜として使用する膜519で覆った後、図5(p)に示すように、TFTのゲート電極520を形成する。

【0082】次に、この状態で、基板上方よりリンに代表されるV族の元素又は、ボロンに代表されるIII族の元素のうちの一つの元素521を、図5(q)に示すように、ゲート電極520をマスクとして自己整合的に、島状化したシリコン膜502のゲート電極520と重ならない領域に導入する。図中、領域522は、元素521の導入によってn型又はp型の性質をもったシリコン領域を示し、この領域が、TFTのソース・ドレイン領域となる。

【0083】次に、図5(r)に示すように、基板の上表面全体を層間絶縁膜523で覆い、図5(s)に示すように、TFTのソース・ドレイン領域の上方の層間絶縁膜523に貫通孔524を設ける。

【0084】最後に、図5(t)に示すように、該貫通孔524に一部充填して層間絶縁膜523の上にソース・ドレイン電極525を形成してTFTが完成する。

【0085】したがって、本実施例においては、選択導

入領域506の全部がエッチングにより除去されるので、半導体膜502を用いて形成されるTFTと選択導入領域506とが重なることはない。なお、TFTと選択導入領域506とが重ならないようにできれば、エッチングにより除去される部分は一部でもよい。例えば、選択導入領域506のTFT形成側をエッチングすれば、選択導入領域506のアライメントマーク518側部分は残っていても支障ない。

【0086】また、アライメントマーク516を使用することにより、TFT形成領域から領域509を除去できる。

【0087】更に、アライメントマーク516に基づいてアライメントマーク518を形成し、このアライメントマーク518またはアライメントマーク516に基づいてTFTが形成されるので、TFT形成領域と選択導入領域506とが重なることはない。

【0088】(実施例6) 図6は、本発明に係る半導体装置の配置図である。図中の601は、非晶質シリコン膜へ結晶化を助長する元素を選択的に導入した選択導入領域である。この状態で、加熱処理を行うと、まず選択導入領域601に結晶化が発生し、さらに加熱処理を続けると、矢印603で示したように選択導入領域601の周辺に結晶化が進行して行く。なお、図中602にて示す曲線は、加熱処理終了時の結晶成長端である。

【0089】さて、このように結晶化が進行した基板に対してTFTの作製領域を、ソース領域604、ドレイン領域606およびチャネル領域605が図示のように配した状態に形成することにより、キャリアが移動する方向と結晶成長方向とが同一方向となり、キャリアの移動方向に結晶粒界が存在しない高移動度TFTが実現できる。ただし、この場合、チャネル領域605と選択導入領域601とが図6に示しているように重ならないことが望ましい。

【0090】(実施例7) 図7は、本発明に係る半導体装置の他の配置図である。図中の701は、非晶質シリコン膜へ結晶化を助長する元素を選択的に導入した選択導入領域である。この状態で、加熱処理を行うと、まず選択導入領域701に結晶化が発生し、さらに加熱処理を続けると、矢印703で示したように選択導入領域701の周辺に結晶化が進行して行く。なお、図中702にて示す曲線は、加熱処理終了時の結晶成長端である。

【0091】さて、このように結晶化が進行した基板に対してTFTの作製領域を、ソース領域704、ドレイン領域706およびチャネル領域705が図示のように配した状態に形成することにより、ドレイン領域706の端部における電界集中領域での粒界部分が無くなり、TFT動作時の特性劣化の原因となるドレイン領域706端部での粒界トラップ密度を低減でき、オン・オフ比の大きいTFTが作成可能となる。ただし、この場合、チャネル領域705と選択導入領域701とが図7に示

しているように重ならないことが望ましい。

【0092】

【発明の効果】以下に本発明の及ぼす効果について述べる。上述したように非晶質半導体膜の結晶化を助長する元素の選択導入領域とTFTの形成領域とを配置するので、コンタクト不良やTFT特性の劣化を防止することができ、大規模半導体装置において特に重要な歩留まり向上に大きく貢献できる。

【0093】また、本発明による場合には、アライメントマークを基板上に形成することにより、これまで極めて困難であったラテラル成長部とTFT形成領域とのオー

ードアライメントを実現することが可能であり、結晶化半導体膜を用いた大規模半導体装置の量産化に道を開くことが可能となる。上記アライメントマークとしては、基板上の半導体膜にくぼみを形成した形態の場合はその認識が容易であるが、半導体膜上に面一に形成されて他の部分との境界が認識不良の場合には、光エネルギーを照射することにより、認識容易なように顕在化できる。

【0094】さらに、本発明による場合には、結晶成長の方向を制御することが可能であることから、同一基板上に異なった導電特性を有するTFTを同時に作成することが可能であり、例えばアクティブマトリックス型TFT-LCDを作成する場合、大きな移動度が要求される周辺駆動回路部分を構成するTFTには、その動作時のキャリアの移動方向が、この結晶性ケイ素膜の結晶成長方向と平行な方向になるようにし、リーク電流を小さく抑える必要がある画素部分のTFTには、その動作時のキャリアの移動方向が、この結晶性ケイ素膜の結晶成長方向と垂直な方向になるようにする事により、各部により適した特性を有するTFTの配置が可能である。以上

述べて来たように、本発明によって大規模半導体装置の量産が、低い製造コストで実現可能となる。

【図面の簡単な説明】

【図1】本発明の実施例1において、非晶質半導体膜の結晶化を助長する元素の選択導入領域とTFT形成領域との配置を示す図である。

【図2】本発明の実施例2において、非晶質半導体膜の結晶化を助長する元素の選択導入領域とTFT形成領域との配置を示す図である。

【図3】本発明の実施例3に係る半導体装置の製造方法を各工程段階に従って示す断面図である。

【図4】本発明の実施例4に係る半導体装置の製造方法を各工程段階に従って示す断面図である。

【図5】本発明の実施例5に係る半導体装置の製造方法を各工程段階に従って示す断面図である。

【図6】本発明の実施例6に示した結晶成長の方向とTFTのソース・ドレイン・チャネルの各領域との配置を示す図である。

【図7】本発明の実施例7に示した結晶成長の方向とTFTのソース・ドレイン・チャネルの各領域との配置を

示す図である。

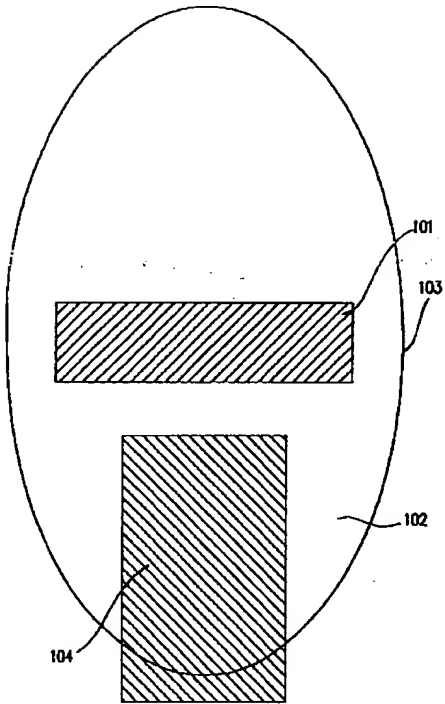
【符号の説明】

- 101、201 選択導入領域
- 102、202 ラテラル成長部
- 103、203 ラテラル成長端部
- 104、204 TFT形成領域
- 301、401 ベースコート膜
- 302、402 非晶質半導体膜
- 303、403 マスク
- 304、404 選択導入領域
- 305、405 アライメントマークを形成するための部分
- 306、307、406、407 被導入領域
- 308、408 ラテラル成長の進行方向
- 309、409 元素濃度の高い領域
- 310、410 ラテラル成長領域
- 311、411 レジストパターン
- 312、412 アライメントマーク
- 313、413 ゲート絶縁膜
- 314、414 ゲート電極
- 315、415 元素
- 316、416 ソース・ドレイン領域
- 317、417 層間絶縁膜
- 318、418 貫通孔
- 319、419 ソース・ドレイン電極
- 501 ベースコート膜
- 502 非晶質シリコン膜
- 503 マスク
- 504 選択導入領域
- 505 アライメントマークを形成するための部分
- 506、507 被導入領域
- 508 多結晶化の進行方向
- 509 元素濃度の高い領域
- 510 多結晶化領域
- 511、512 非導入部分
- 513 境
- 514 アライメントマーク付近の領域
- 515 レーザ光
- 516 表面荒れ
- 517 レジストパターン
- 518 アライメントマーク
- 519 ゲート絶縁膜として使用する膜
- 520 ゲート電極
- 521 元素
- 522 シリコン領域
- 601、701 選択導入領域
- 602、702 基板面に概略平行な結晶化の成長端
- 603、703 基板面に概略平行な結晶化の進行
- 604、606、704、706 ソース・ドレイン形成領域

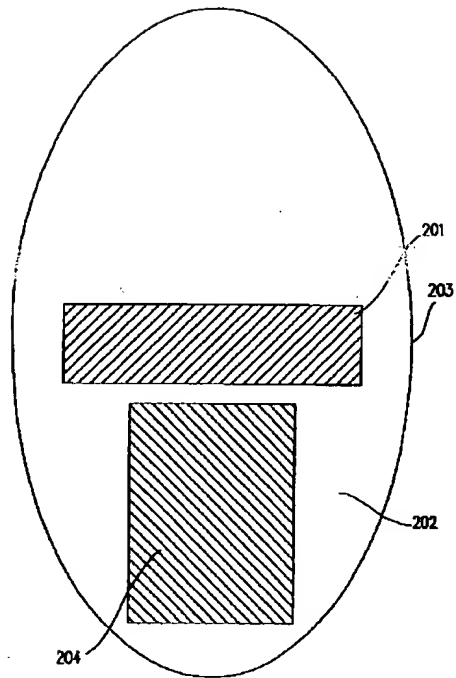
19
605、705 チャンネル形成領域

20

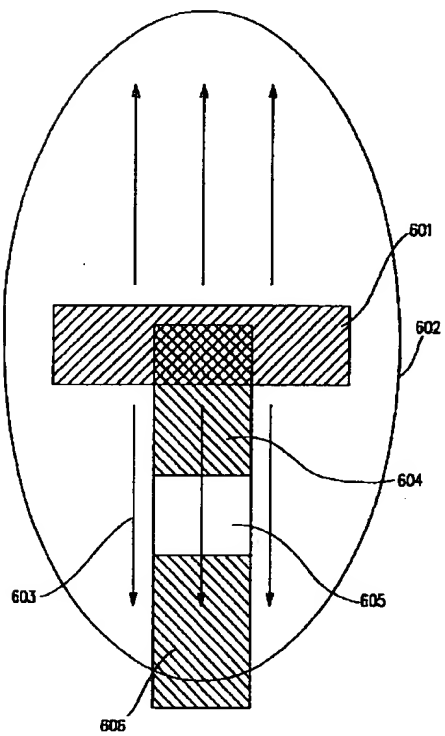
【図1】



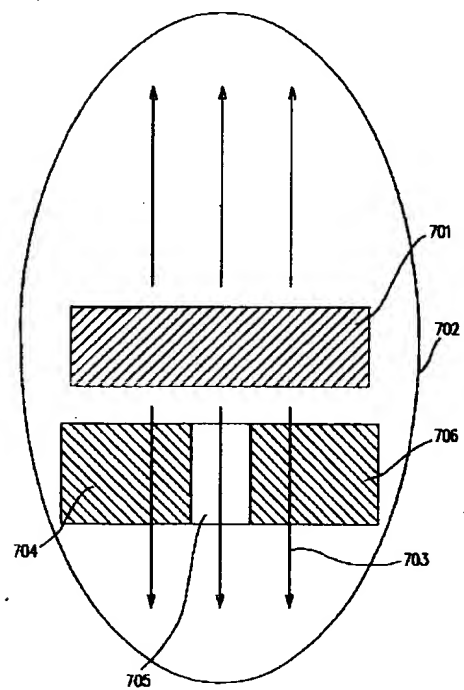
【図2】



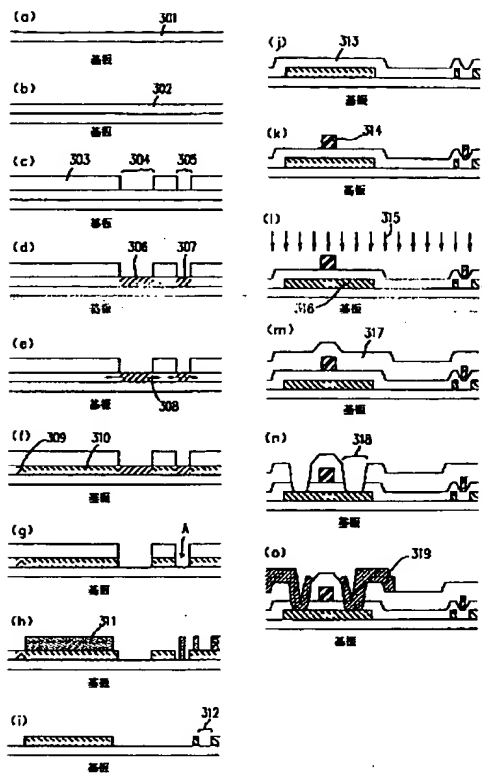
【図6】



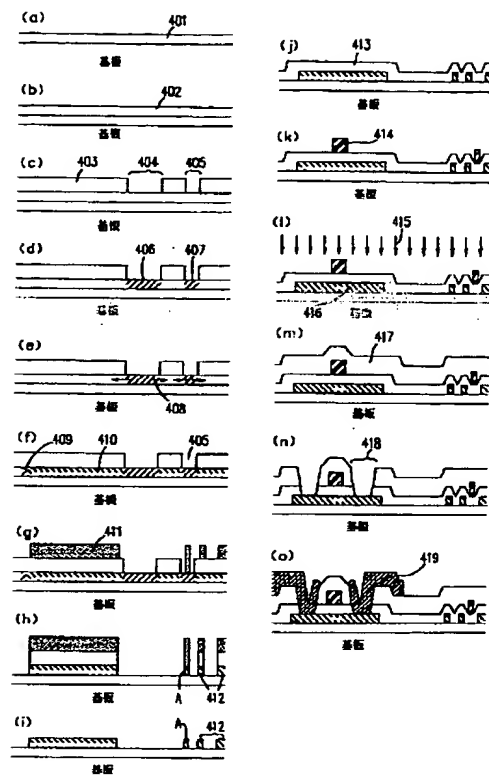
【図7】



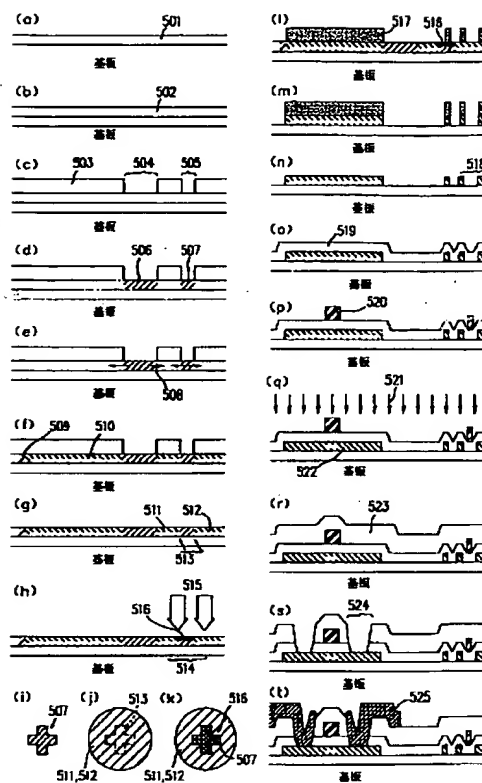
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/12

識別記号

庁内整理番号

R

F I

技術表示箇所

(72)発明者 三谷 康弘

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内